

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of)	
)	
Hiroshi SHIROTA)	Group Art Unit: Unassigned
)	
Application No.: Unassigned)	Examiner: Unassigned
)	
Filed: July 11, 2003)	Confirmation No.: Unassigned
)	
For: COMMUNICATION APPARATUS)	
WITH FAILURE DETECT FUNCTION)	

CLAIM FOR CONVENTION PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

The benefit of the filing date of the following prior foreign application in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed:

Japan Patent Application No. 2003-050683

Filed: February 27, 2003

In support of this claim, enclosed is a certified copy of said prior foreign application. Said prior foreign application was referred to in the oath or declaration. Acknowledgment of receipt of the certified copy is requested.

Respectfully submitted,

BURNS, DOANE, SWECKER & MATHIS, L.L.P.

Date: July 11, 2003

By: 

Platon N. Mandros
Registration No. 22,124

P.O. Box 1404
Alexandria, Virginia 22313-1404
(703) 836-6620

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2003年 2月27日

出 願 番 号
Application Number:

特願2003-050683

[ST.10/C]:

[JP 2003-050683]

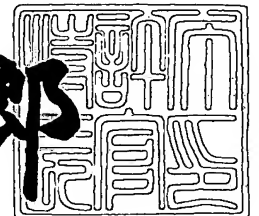
出 願 人
Applicant(s):

三菱電機株式会社

2003年 3月24日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3019443

【書類名】 特許願

【整理番号】 543352JP01

【提出日】 平成15年 2月27日

【あて先】 特許庁長官殿

【国際特許分類】 H04L 5/16
H04L 29/00

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

【氏名】 城田 博史

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100064746

【弁理士】

【氏名又は名称】 深見 久郎

【選任した代理人】

【識別番号】 100085132

【弁理士】

【氏名又は名称】 森田 俊雄

【選任した代理人】

【識別番号】 100083703

【弁理士】

【氏名又は名称】 仲村 義平

【選任した代理人】

【識別番号】 100096781

【弁理士】

【氏名又は名称】 堀井 豊

【選任した代理人】

【識別番号】 100098316

【弁理士】

【氏名又は名称】 野田 久登

【選任した代理人】

【識別番号】 100109162

【弁理士】

【氏名又は名称】 酒井 將行

【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 通信装置

【特許請求の範囲】

【請求項 1】 送信クロックに同期動作して送信データを送信信号に変換するエンコーダ回路を含む送信機と、

受信クロックに同期動作して受信信号を受信データへ変換するデコーダ回路を含む受信機と、

前記送信機および前記受信機への前記送信クロックおよび前記受信クロックの供給を制御するクロック供給選択回路とを備え、

前記クロック供給選択回路は、

内部クロック信号を生成するクロック生成回路と、

前記内部クロック信号を基準として、周波数誤差、位相変動、ジッタおよび波形変動の少なくとも 1 つが強制的に印加されるように変調された変調クロック信号を生成するクロック変調回路とを含み、

前記クロック供給選択回路は、通常動作時に、前記内部クロック信号を前記送信クロックおよび前記受信のクロックの各々として供給する一方で、ループバック動作時に、前記内部クロック信号および前記変調クロック信号を、前記送信クロックおよび前記受信クロックの一方ずつとして供給する、通信装置。

【請求項 2】 前記クロック供給選択回路は、前記送信機に対応して設けられたクロックスイッチを含み、

前記クロックスイッチは、前記送信機に対しては、前記通常動作時には前記内部クロック信号を前記送信クロックとして供給する一方で、前記ループバック動作時には前記変調クロック信号を前記送信クロックとして供給し、

クロック供給選択回路は、前記受信機に対しては、前記通常動作時および前記ループバック動作時の各々において、前記内部クロック信号を前記受信クロックとして供給する、請求項 1 記載の通信装置。

【請求項 3】 前記クロック供給選択回路は、前記受信機に対応して設けられたクロックスイッチを含み、

前記クロックスイッチは、前記受信機に対して、前記通常動作時には前記内部

クロック信号を前記受信クロックとして供給する一方で、前記ループバック動作時には前記変調クロック信号を前記受信クロックとして供給し、

クロック供給選択回路は、前記送信機に対しては、前記通常動作時および前記ループバック動作時の各々において、前記内部クロック信号を前記送信クロックとして供給する、請求項 1 記載の通信装置。

【請求項 4】 前記クロック生成回路は、前記内部クロック信号と同一周波数を有し、かつ位相が互いに異なる複数のクロック信号をさらに生成し、

前記クロック変調回路は、

外部トリガに同期してカウント値が変化するカウンタ回路と、

前記クロック生成回路から前記複数のクロック信号を受けるとともに、前記複数のクロック信号のうちの前記カウンタ値に応じた 1 つを前記変調クロック信号として選択的に出力するセレクタ回路とを含む、請求項 1 記載の通信装置。

【請求項 5】 前記エンコーダ回路へ入力される前記送信データと、前記デコーダ回路から出力される受信データとを比較するとともに、比較結果に応じた信号を生成するデータ比較回路をさらに備える、請求項 1 記載の通信装置。

【請求項 6】 前記データ比較回路は、

前記送信データを受けて、前記内部クロック信号と前記変調クロック信号とのタイミング差に応じた時間だけ内部で滞留した後に前記送信データを出力する緩衝回路と、

前記緩衝回路から出力された前記送信データと前記デコーダ回路からの前記受信データとを比較する比較器とを含む、請求項 5 記載の通信装置。

【請求項 7】 クロック信号に同期動作して送信データを送信信号に変換するエンコーダ回路を含む送信機と、

クロック信号に同期動作して受信信号を受信データへ変換するデコーダ回路を含む受信機と、

前記クロック信号と同一周波数を有し、かつ位相が互いに異なる複数のクロック信号を生成するクロック生成回路と、

ループバック動作時に、前記受信信号の遷移エッジと前記複数のクロック信号の遷移エッジとの位相比較結果の遷移に基づいて、前記送信機で発生するジッタ

を測定するジッタ測定回路とを備える、通信装置。

【請求項 8】 前記ジッタ測定回路は、

前記受信信号の前記レベル遷移エッジの各々において、前記複数のクロックのそれぞれのレベルを検出するクロックサンプリング回路と、

前記受信信号の前記レベル遷移エッジ間における、前記クロックサンプリング回路によって検出された前記複数のクロックのレベルの遷移を位相差に変換する位相比較回路とを含む、請求項 7 記載の通信装置。

【請求項 9】 前記位相比較回路は、前記複数のクロックのレベルの遷移を変換して得られた前記位相差が所定のジッタ許容値を超えたかどうかを示す検出信号を生成する、請求項 8 記載の通信装置。

【請求項 10】 前記送信機は、シングルエンド信号である前記送信信号を差動信号に変換して出力する差動ドライバをさらに含み、

前記受信機は、入力された差動信号をシングルエンド信号である前記受信信号に変換する差動レシーバをさらに含み、

前記通信装置は、

前記ループバック動作時において、前記差動ドライバおよび前記差動レシーバを迂回して、前記前記エンコーダ回路から出力された前記送信信号を直接前記受信信号とする信号経路を必要に応じて形成する信号スイッチをさらに備える、請求項 1 または 7 記載の通信装置。

【請求項 11】 他の前記通信装置との間で信号の授受が可能な、通信ノードおよびテスト通信ノードと、

入力された送信データを送信信号に変換して前記通信ノードへ出力する送信機と、

受信ノードへ入力された受信信号を変換して受信データを出力する受信機と、

前記通信ノードおよび前記テスト通信ノードの一方と前記受信ノードとの間で信号経路を選択的に形成するための信号スイッチとを備え、

第 1 のテストモード時において、自身の前記通信ノードおよび前記テスト通信ノードと、前記他の通信装置の前記テスト通信ノードおよび前記通信ノードとの間にはそれぞれ信号経路が形成され、

各前記通信装置の前記信号スイッチは、前記第 1 のテストモード時において、自身の前記テスト通信ノードと前記受信ノードとの間に信号経路を形成する、通信装置。

【請求項 1 2】 前記第 1 のテストモードとは異なる第 2 のテストモード時および通常動作時の各々において、前記通信装置の前記信号スイッチは、自身の前記通信ノードと前記受信ノードとの間に信号経路を形成する、請求項 1 0 記載の通信装置。

【請求項 1 3】 前記送信機および前記受信機は、送信クロックおよび受信クロックにそれぞれ同期して動作し、

前記通信装置は、

前記送信機および前記受信機への前記送信クロックおよび前記受信クロックの供給を制御するクロック供給選択回路をさらに備え、

前記クロック供給選択回路は、

内部クロック信号を生成するクロック生成回路と、

前記内部クロック信号を基準として、周波数誤差、位相変動、ジッタおよび波形変動の少なくとも 1 つが強制的に印加されるように変調された変調クロック信号を生成するクロック変調回路とを含み、

前記クロック供給選択回路は、前記通常動作時に、前記内部クロック信号を前記送信クロックおよび前記受信のクロックの各々として供給する一方で、前記第 1 のテストモード時に、前記内部クロック信号および前記変調クロック信号を、前記送信クロックおよび前記受信クロックの一方ずつとして供給する、請求項 1 0 記載の通信装置。

【請求項 1 4】 前記送信機は、クロック信号に同期動作して前記送信データを前記送信信号に変換するエンコーダ回路を含み、

前記受信機は、前記クロック信号に同期動作して前記受信信号を前記受信データへ変換するデコーダ回路を含み、

前記通信装置は、

前記クロック信号と同一周波数を有し、かつ位相が互いに異なる複数のクロック信号を生成するクロック生成回路と、

前記第 1 のテストモード時に、前記受信信号の遷移エッジと前記複数のクロック信号の遷移エッジとの位相比較結果の遷移に基づいて、前記送信機で発生するジッタを測定するジッタ測定回路とをさらに備える、請求項 1 0 記載の通信装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

この発明は、通信装置に関し、より特定的には、通信装置の故障検出テストに関する。

【0 0 0 2】

【従来の技術】

近年のさまざまな高速通信規格では、高転送レート化に伴って、転送データのジッタ成分も高くなってきている。このような高速、高ジッタのデータに対応するために、通信機器では、特に C D R (Clock Data Recovery) 回路やエラスティックバッファ (Elasticity Buffer) などの、外部データを内部クロックと同期させるための回路の動作が高速化し、その構成が複雑化している。

【0 0 0 3】

たとえば、P C (Personal Computer) と周辺機器間とを接続するデファクト標準の最新シリアルインターフェイスの通信規格である U S B 2 . 0 (Universal Serial Bus Specification Revision 2.0) では、4 8 0 M B P S (Mega-Bits Per Second) という高速シリアル通信が規定されている。このような通信規格を実現する通信装置の構成例が、たとえば非特許文献 1 の図 2 に開示されている。

【0 0 0 4】

一方で、このような転送レート（周波数）、伝送ジッタ成分などは、規格により厳密に規定されていることが多く、通信装置が U S B 2 . 0 等の高速通信規格が要求する転送レートや伝送ジッタ成分を満足しているかどうかについて十分テストする必要がある。しかし、この際に、転送レートに対応した高周波動作が可能な高価なテスト装置が必要となるため、通信装置自体の製造コストアップの原

因となってしまう。

【0005】

また、受信機および送信機を内蔵した通信装置における一般的なテスト方式として、自身の送信機によって発生された送信信号を、自身の受信機によって受信してテストを行なう、いわゆるループバック動作によるテスト方式が知られている（たとえば特許文献1）。ループバック動作によれば、外部に高価なテスト装置を要することなく、高速通信規格が要求する転送レートや伝送ジッタ成分を満足しているかどうかについて、通信装置の故障検出テストを安価に実行できる。

【0006】

【特許文献1】

特開平6-311208号公報（図1および第2頁）

【0007】

【非特許文献1】

インテル株式会社（Intel Corporation）, 「USB 2.0 トランシーバマクロセルインターフェイス仕様書（USB2.0 Transceiver Macrocell Interface (UTMI) Specification）」, （米国）, 2001年3月29日, p. 11

【0008】

【発明が解決しようとする課題】

しかしながら、送信機と受信機とが同一クロックで動作する従来の通信装置では、ループバック動作によっては、周波数誤差、伝送ジッタ、位相変動やクロック信号の波形変動（デューティ比等）が存在する実際のUSB通信に近い動作条件で通信装置の異常検証テストを行なうことが不可能であった。特に、これらの周波数誤差、伝送ジッタ、波形変動および位相変動を吸収して、外部データを内部クロックへ同期させるためのクロックデータリカバリ回路やエラスティックバッファ回路について、従来のループバック動作では、異常検出を事実上行なうことはできなかった。

【0009】

このため、周波数誤差、伝送ジッタ、波形変動や位相変動を付加したUSBデータを印加可能な高価かつ高速なテスト装置を用いたテストが不可欠であるため

、通信装置の製造コストが高くなるという問題点があった。

【0010】

また、従来の通信装置では、USB通信データのジッタ成分を定量的に測定する装置を備えていなかったため、ループバック動作を用いて送信機の波形品質（ジッタ成分）が規格内であるかどうかの異常を検出することが困難であった。そのため、送信機の波形品質が規格内であるかどうかの異常検出を、高価な高速テスト装置を用いて検証する必要があるため、この点からもテストコスト上昇および通信装置の製造コスト上昇を招いていた。

【0011】

さらに、従来の通信装置では、ループバック動作時に多ビット低速の受信データおよび送信データを通信装置の外部へ引出す必要があった。このために信号入出力経路を多数設ける必要があり、この面からも通信装置のコスト増大を招いていた。

【0012】

また、従来の通信装置では、送信機の出力と受信機と入力とが直結された半二重通信専用のものでは、通信装置を複数用いて異常検出する際も、半二重通信で異常検出する必要があるため、全二重で異常を検出する場合と比べて、異常検出テストの時間が長くなり、この面からも通信装置の製造コストが上昇するという問題点があった。

【0013】

この発明は、このような問題点を解決するためになされたものであって、この発明の目的は、テストコストの低いループバック動作によって、周波数誤差、伝送ジッタ、クロック波形変動や位相変動を付加した実動作に近い通信状態での受信機および送信機の異常検出テストが可能な通信装置を提供することである。

【0014】

この発明の他の目的は、テストコストの低いループバック動作によって、送信機のジッタ成分（波形成分）が検証可能であるとともに、その検証時に外部へ引出す信号数が削減された構成を備えた通信装置を提供することである。

【0015】

この発明のさらに他の目的は、半二重通信方式の通信装置において、高速なテストを実行可能な構成を備えた通信装置を提供することである。

【0016】

【課題を解決するための手段】

この発明に従う通信装置は、送信クロックに同期動作して送信データを送信信号に変換するエンコーダ回路を含む送信機と、受信クロックに同期動作して受信信号を受信データへ変換するデコーダ回路を含む受信機と、送信機および受信機への送信クロックおよび受信クロックの供給を制御するクロック供給選択回路とを備え、クロック供給選択回路は、内部クロック信号を生成するクロック生成回路と、内部クロック信号を基準として、周波数誤差、位相変動、ジッタおよび波形変動の少なくとも1つが強制的に印加されるように変調された変調クロック信号を生成するクロック変調回路とを含み、クロック供給選択回路は、通常動作時に、内部クロック信号を送信クロックおよび受信のクロックの各々として供給する一方で、ループバック動作時に、内部クロック信号および変調クロック信号を、送信クロックおよび受信クロックの一方ずつとして供給する。

【0017】

この発明の他の構成に従う通信装置は、クロック信号に同期動作して送信データを送信信号に変換するエンコーダ回路を含む送信機と、クロック信号に同期動作して受信信号を受信データへ変換するデコーダ回路を含む受信機と、クロック信号と同一周波数を有し、かつ位相が互いに異なる複数のクロック信号を生成するクロック生成回路と、ループバック動作時に、受信信号の遷移エッジと複数のクロック信号の遷移エッジとの位相比較結果の遷移に基づいて、送信機で発生するジッタを測定するジッタ測定回路とを備える。

【0018】

この発明のさらに他の構成に従う通信装置は、他の通信装置との間で信号の授受が可能な、通信ノードおよびテスト通信ノードと、入力された送信データを送信信号に変換して通信ノードへ出力する送信機と、受信ノードへ入力された受信信号を変換して受信データを出力する受信機と、通信ノードおよびテスト通信ノードの一方と受信ノードとの間で信号経路を選択的に形成するための信号スイッ

チとを備え、第 1 のテストモード時において、自身の通信ノードおよびテスト通信ノードと、他の通信装置のテスト通信ノードおよび通信ノードとの間にはそれぞれ信号経路が形成され、各通信装置の信号スイッチは、第 1 のテストモード時において、自身のテスト通信ノードと受信ノードとの間に信号経路を形成する。

【0019】

【発明の実施の形態】

以下において、本発明の実施の形態について図面を参照して詳細に説明する。
なお、図面中の同一符号は、同一または相当部分を示すものとする。

【0020】

〔実施の形態 1〕

図 1 は、本発明の実施の形態 1 に従う通信装置の全体構成例を示すブロック図である。

【0021】

図 1 を参照して、本発明の実施の形態 1 に従う通信装置 10 は、USB 2.0 Hi-speed (480Mbps) の物理層 (PHY 層) を実現する通信装置である。

【0022】

図 1 を参照して、通信装置 10 は、受信機 100 と、送信機 101 と、クロック供給選択回路 102 と、データ比較回路 105 と、信号スイッチ 106, 107 と、ジッタ測定回路 108 とを備える。

【0023】

クロック供給選択回路 102 は、クロック生成回路 103 と、クロック変調回路 104 と、クロックスイッチ 116 とを有する。

【0024】

クロック生成回路 103 は、外部発振器 20 からの外部クロック 142 を通倍して、内部クロック信号 CLK I および内部クロック群 144 を生成する。内部クロック信号 CLK I および内部クロック群 144 は、周波数が 480MHz の高速クロックである。たとえば、外部クロック 142 の周波数が 12MHz であれば、クロック生成回路 103 は、外部クロック 142 を 40 倍に通倍する。な

お、クロック生成回路 1 0 3 の通倍率を適切に設定することによって、外部クロック 1 4 2 の周波数は、上述の 1 2 M H z に限られず任意の周波数とすることができる。

【 0 0 2 5 】

クロック供給選択回路 1 0 2 は、内部クロック信号 C L K I をそのまま受信クロック 1 4 3 として、受信機 1 0 0 およびデータ比較回路 1 0 5 へ伝達する。内部クロック群 1 4 4 は、周波数 4 8 0 M H z で互いに位相が異なる複数のクロック信号を含む。以下、本実施の形態においては、内部クロック群 1 4 4 は、後程詳細に説明するように、段階的な位相差を有する 1 0 個のクロック信号 1 4 4 - 0 ~ 1 4 4 - 9 から構成されるものとするが、内部クロック群 1 4 4 を構成するクロック信号数について特に限定はなく、任意の個数とすることができる。

【 0 0 2 6 】

クロック変調回路 1 0 4 は、クロック生成回路 1 0 3 から受けた内部クロック群 1 4 4 のうちの 1 つのクロック信号を選択的に出力することによって、変調クロック信号 1 4 5 を生成する。変調クロック信号 1 4 5 は、受信機 1 0 0 へ伝達される内部クロック信号 C L K I （すなわち、受信クロック 1 4 3 ）を基準として、周波数誤差、位相変動、クロック波形変動（デューティ比等）およびジッタの少なくとも 1 つが強制的に印加されるように変調されている。

【 0 0 2 7 】

クロックスイッチ 1 1 6 は、送信機 1 0 1 に対応して設けられ、受信クロック 1 4 3 （内部クロック信号 C L K I ）および変調クロック信号 1 4 5 の一方を、送信クロック 1 4 6 としてデータ比較回路 1 0 5 および送信機 1 0 1 内のエンコーダ回路 1 1 4 へ選択的に供給する。

【 0 0 2 8 】

送信機 1 0 1 は、送信データ 1 3 0 を、所定の通信規格で規定された信号処理によって送信信号 1 3 1 へ変換するエンコーダ回路 1 1 4 と、差動ドライバ 1 1 5 とを含む。図 1 に例示した通信装置 1 0 では、エンコーダ回路 1 1 4 によって、8 ビットパラレルの送信データ 1 3 0 が高速シリアル信号である送信信号 1 3 1 へ変換される。

【 0 0 2 9 】

図 2 は、図 1 に示されたエンコーダ回路 1 1 4 の構成例を示すブロック図である。

【 0 0 3 0 】

図 2 を参照して、エンコーダ回路 1 1 4 は、保持レジスタ 1 1 0 1 およびシフトレジスタ 1 1 0 2 で構成されるパラレル・シリアル変換回路によって、8ビットパラレルの送信データ 1 3 0 を 1 ビットのシリアル信号に変換する。ビットスタップ回路 1 1 0 3 および N R Z I (Non Return to Zero Invert) エンコーダ 1 1 0 4 は、変換されたシリアル信号を U S B 規格に従うシリアルデータヘエンコーディングして、シングルエンドのシリアルな送信信号 1 3 1 を生成する。以下、本実施の形態においては、シリアル信号を扱うシリアルインタフェース通信を代表例として詳細に説明するが、信号の本数については特に限定はなく、任意の本数とすることができる。

【 0 0 3 1 】

再び図 1 を参照して、差動ドライバ 1 1 5 は、エンコーダ回路 1 1 4 が生成するシングルエンドの送信信号 1 3 1 を受けて、+側および-側の送信差動信号 T D + および T D - に変換する。送信差動信号 T D + および T D - は、通信ノード 1 3 2 および 1 3 3 にそれぞれ出力される。以下、本実施の形態においては、差動ドライバ 1 1 5 を含む差動通信を代表例として詳細に説明するが、本願発明の適用は差動信号を用いた差動通信に限定されるものではなく、シングルエンド通信に対しても、本願発明を適用可能である。

【 0 0 3 2 】

信号スイッチ 1 0 6 は、通信ノード 1 3 2 およびテスト通信ノード 1 4 7 の一方と、受信ノード 1 3 4 との間に選択的に信号経路を形成する。同様に、信号スイッチ 1 0 7 は、通信ノード 1 3 3 およびテスト通信ノード 1 4 8 の一方と、受信ノード 1 3 5 との間に選択的に信号経路を形成する。信号スイッチは、代表的には、信号配線間の電氣的な接続を切替える、機械的あるいは電氣的なスイッチで実現される。

【 0 0 3 3 】

半二重通信を行なう通常の通信動作時（以下、「通常動作時」と称する）およびループバック動作時の各々において、信号スイッチ 1 0 6 および 1 0 7 は、通信ノード 1 3 2 および 1 3 3 と、受信ノード 1 3 4 および 1 3 5 との間に信号経路を形成する。

【 0 0 3 4 】

信号スイッチ 1 0 6 および 1 0 7 は、後続の実施の形態 3 で説明する、ループバック動作とは異なる他のテストモード（全二重テスト動作）において、テスト通信ノード 1 4 7 および 1 4 8 と、受信ノード 1 3 4 および 1 3 5 の間に信号経路を形成する。後程詳細に説明するように、当該他のテストモードでは、テスト通信ノード 1 4 7 および 1 4 8 へは他の通信装置からの送信差動信号が入力される。

【 0 0 3 5 】

したがって、通常動作時には、通信ノード 1 3 2, 1 3 3 へ入力された、他の通信装置中の送信機からの送信差動信号が、受信ノード 1 3 4, 1 3 5 へ受信差動信号 RD+, RD- として伝達される。一方、ループバック動作時には、自身の送信機 1 0 1 によって生成された送信差動信号 TD+, TD- が受信ノード 1 3 4, 1 3 5 へ受信差動信号 RD+, RD- として伝達される。以下、送信差動信号 TD+, TD- および受信差動信号 RD+, RD- がそれぞれ 1 組であるシリアルインタフェース通信について説明するが、既に述べた様に、本願発明の適用は、このような 1 対のシリアルインタフェース規格へ限定されるものではない。

【 0 0 3 6 】

受信機 1 0 0 は、差動レシーバ 1 0 9 と、信号スイッチ 1 1 0 と、クロックデタリカバリ回路 1 1 1 と、エラスティックバッファ回路 1 1 2 と、デコーダ回路 1 1 3 とを含む。

【 0 0 3 7 】

差動レシーバ 1 0 9 は、受信ノード 1 3 4, 1 3 5 へ伝達された受信差動信号 RD+, RD- をシングルエンドのシリアル信号 1 3 6 へ変換する。信号スイッチ 1 1 0 は、差動レシーバ 1 0 9 から出力されたシリアル信号 1 3 6 およびエン

コーダ回路 1 1 4 から出力された送信信号 1 3 1 の一方を、受信信号 1 3 7 として選択的に出力する。

【 0 0 3 8 】

クロックデタリカバリ回路 1 1 1 は、受信信号 1 3 7 からクロックおよびデータを抽出し、復元クロック 1 3 8 および復元データ 1 3 9 を生成する。

【 0 0 3 9 】

エラスティックバッファ回路 1 1 2 は、復元クロック 1 3 8 および受信クロック 1 4 3 の間のタイミング差緩衝回路として設けられ、復元クロック 1 3 8 および復元データ 1 3 9 から受信クロック 1 4 3 と同期した同期データ信号 1 4 0 を F I F O (First In First Out) 方式で生成する。デコーダ回路 1 1 3 は、同期データ信号 1 4 0 を 8 ビット平行の受信データ 1 4 1 に変換する。

【 0 0 4 0 】

図 3 は、図 1 に示されたデコーダ回路 1 1 3 の構成を示すブロック図である。

図 3 を参照して、デコーダ回路 1 1 3 は、NRZ I デコーダ 1 1 0 5 と、ビットアンスタッフ回路 1 1 0 6 と、シフトレジスタ 1 1 0 7 と、保持レジスタ 1 1 0 8 とを有する。

【 0 0 4 1 】

NRZ I デコーダ 1 1 0 5 およびビットアンスタッフ回路 1 1 0 6 は、シリアル信号である同期データ信号 1 4 0 をシリアルデータヘデコードする。さらに、デコードされたシリアルデータは、シフトレジスタ 1 1 0 7 および保持レジスタ 1 1 0 8 から構成されるシリアル・平行変換回路によって、8 ビット・平行の受信データ 1 4 1 へ変換される。

【 0 0 4 2 】

再び図 1 を参照して、ジッタ測定回路 1 0 8 は、ループバック動作時に、信号スイッチ 1 1 0 によって受信信号 1 3 7 として伝達された送信信号 1 3 1 と、内部クロック群 1 4 4 とを受けて、送信機 1 0 1 の波形品質（ジッタ成分）を評価する。

【 0 0 4 3 】

データ比較回路 1 0 5 は、送信機 1 0 1 へ入力される送信データ 1 3 0 と、受

信機 1 0 0 から出力される受信データ 1 4 1 とを比較して、比較結果を示すデータ不一致検出信号 1 5 0 を生成する。

【 0 0 4 4 】

次に図 1 に示した通信装置 1 0 のループバック動作について説明する。

本発明に従う通信装置のループバック動作は、第 1 および第 2 のループバックテストを含む。第 1 のループバックテストでは、受信クロックおよび送信クロックの一方に対して、ジッタ、周波数誤差、クロック波形変動および位相変動の少なくとも 1 つを強制的に印加した状態で、受信機 1 0 0 あるいは送信機 1 0 1 の故障検出テストが実行される。一方、第 2 のループバックテストでは、受信クロックおよび送信クロックを共通のクロックとした状態で、送信機 1 0 1 の波形品質（ジッタ成分）を評価する故障検出テストが実行される。

【 0 0 4 5 】

既に説明したように、第 1 および第 2 のループバックテストの各々では、信号スイッチ 1 0 6 および 1 0 7 が、通信ノード 1 3 2, 1 3 3 と、受信ノード 1 3 4, 1 3 5 との間に信号経路を形成するので、送信機 1 0 1 によって生成された送信差動信号 TD+, TD- が、受信ノード 1 3 4, 1 3 5 へ受信差動信号 RD+, RD- として伝達される。

【 0 0 4 6 】

また、信号スイッチ 1 1 0 は、差動レシーバ 1 0 9 が出力するシリアル信号 1 3 6 を受信信号 1 3 7 として後段の回路群へ伝達するための信号経路を形成する。

【 0 0 4 7 】

まず、第 1 のループバックテストについて説明する。実施の形態 1 に従う通信装置 1 0 における第 1 のループバックテストでは、送信機 1 0 1 への送信クロック 1 4 6 に対して、ジッタ、周波数誤差、波形変動および位相変動の少なくとも 1 つが強制的に印加される。すなわち、クロックスイッチ 1 1 6 は、クロック変調回路 1 0 4 から出力された変調クロック信号 1 4 5 を選択して、送信クロック 1 4 6 としてエンコーダ回路 1 1 4 およびデータ比較回路 1 0 5 へ供給する。

【 0 0 4 8 】

クロック変調回路 1 0 4 は、内部クロック群 1 4 4 を構成する位相が互いに異なる複数のクロック信号から 1 つを選択し、変調クロック信号 1 4 5 として出力する。クロック変調回路 1 0 4 の詳細な構成については後述するが、内部クロック群 1 4 4 の中からどの位相のクロック信号を選択するかによって、変調クロック信号 1 4 5 の位相を制御できる。また、内部クロック群 1 4 4 の選択を自動で、あるいは外部制御により動的あるいは静的に切換えることによって、変調クロック信号 1 4 5 の位相、周波数、クロック波形（デューティ比等）およびジッタを変動させることができる。

【 0 0 4 9 】

たとえば、選択されるクロック信号を順次位相が遅れる方向へ切換えていくことにより、変調クロック信号 1 4 5 の周波数を、基準となる内部クロック信号 C L K I の周波数（4 8 0 M H z）よりも低くすることができる。これに対して、選択されるクロック信号を順次位相が進む方向に切換えていくことにより、変調クロック信号 1 4 5 の周波数は、基準の周波数（4 8 0 M H z）よりも高くすることができる。

【 0 0 5 0 】

変調クロック信号 1 4 5 の周波数は、内部クロック群 1 4 4 の選択を切換える頻度によって制御できる。さらに、選択されるクロックを切換える瞬間にクロックのレベル遷移エッジが変動することにより、当該レベル遷移エッジの位置変動であるジッタの量を制御できる。ジッタ量は、内部クロック群 1 4 4 の選択を切換える頻度と、当該切換えの前後でそれぞれ選択されるクロック信号間の位相差とによって制御可能である。

【 0 0 5 1 】

このように、クロック変調回路 1 0 4 によって生成される変調クロック信号 1 4 5 は、基準となる内部クロック信号 C L K I（すなわち、受信クロック 1 4 3）に対して、周波数誤差、位相変動、波形変動およびジッタの少なくとも 1 つが強制的に印加されるように変調されている。

【 0 0 5 2 】

送信機 1 0 1 において、エンコーダ回路 1 1 4 は、8 ビットパラレルの送信デ

ータ 1 3 0 (6 0 M H z) から、送信クロック 1 4 6 に同期してシリアルな送信信号 1 3 1 (4 8 0 M H z) を生成する。このとき、送信クロック 1 4 6 に対しては、クロック変調回路 1 0 4 によって周波数誤差、位相変動、クロック波形変動およびジッタの少なくとも 1 つが印加されていることから、送信クロック 1 4 6 と同期する送信信号 1 3 1 に対しても、基準となる内部クロック信号 C L K I (受信クロック 1 4 3) と比較して、周波数誤差、位相変動、波形変動およびジッタの少なくとも 1 つが印加されている。

【 0 0 5 3 】

送信信号 1 3 1 は、差動ドライバ 1 1 5 により送信差動信号 T D + , T D - (4 8 0 M H z) へ変換された後、信号スイッチ 1 0 6 および 1 0 7 を経由して、受信差動信号 R D + , R D - として受信機 1 0 0 に入力される。この結果、4 8 0 M H z の送信差動信号 T D + , T D - および受信差動信号 R D + , R D - ともに、送信信号 1 3 1 と同様に、周波数誤差、位相変動、波形変動およびジッタの少なくとも 1 つが印加されている。

【 0 0 5 4 】

既に説明したように、受信機 1 0 0 では、差動レシーバ 1 0 9 により、受信差動信号 R D + , R D - をシングルエンドのシリアル信号 1 3 6 へ変換し、このシングルエンド信号は、信号スイッチ 1 1 0 を介して、受信信号 1 3 7 としてクロックデタリカバリ回路 1 1 1 へ入力される。

【 0 0 5 5 】

クロックデタリカバリ回路 1 1 1 が受信信号 1 3 7 からクロックおよびデータを復元して生成する復元クロック 1 3 8 および復元データ 1 3 9 は、受信信号 1 3 7 に周波数誤差、位相変動、波形変動およびジッタの少なくとも 1 つが含まれることから、復元クロック 1 3 8 も動的に変化する。この結果、クロックデタリカバリ回路 1 1 1 を動的に動作させて、実際の通信時に近い状態で受信機 1 0 0 を動作させることができる。

【 0 0 5 6 】

逆に言えば、従来の通信装置におけるループバック動作では、送信機および受信機が共通のクロック信号に同期して動作するため、受信信号 1 3 7 には周波数

誤差、位相変動、波形変動およびジッタのいずれも含まれない。このため、復元クロック 1 3 8 の位相も固定されてしまうため、クロックデータリカバリ回路 1 1 1 の動作率が低くなり、実際の通信時に近い状態で受信機 1 0 0 を動作させることができなかった。

【0 0 5 7】

エラスティックバッファ回路 1 1 2 は、受信クロック 1 4 3 と、クロックデータリカバリ回路 1 1 1 によって復元された復元クロック 1 3 8 との周波数誤差を吸収し、受信クロック 1 4 3 に同期したシリアルな同期データ信号 1 4 0 を生成する。同期データ信号 1 4 0 は、デコーダ回路 1 1 3 によって、8 ビットパラルの受信データ 1 4 1 へ変換される。

【0 0 5 8】

データ比較回路 1 0 5 は、送信機に入力された送信データ 1 3 0 と、受信機 1 0 0 から出力された受信データ 1 4 1 との一致比較結果に応じて、データ不一致検出信号 1 5 0 を生成する。受信機 1 0 0 に異常があった場合、送信データ 1 3 0 および受信データ 1 4 1 が不一致になることから、データ不一致検出信号 1 5 0 の値が不一致を示すレベルに設定される。一方、受信機 1 0 0 に異常がなかった場合には、送信データ 1 3 0 および受信データ 1 4 1 が一致したことを示すレベルにデータ不一致検出信号 1 5 0 が設定される。したがって、1 ビットのデータ不一致検出信号 1 5 0 を取り出すことによって、受信機 1 0 0 が正常であるかどうかを外部から判断できる。

【0 0 5 9】

このように、第 1 のループバックテストでは、受信機 1 0 0 を基準となる内部クロック信号 C L K I に同期して動作させる一方で、送信機 1 0 1 を変調クロック信号 1 4 5 に同期して動作させる。この結果、高速かつ高価なテスト装置を用いることなくループバック動作によって、クロックデータリカバリ回路 1 1 1 およびエラスティックバッファ回路 1 1 2 とをさまざまな状況で動作させて、実動作時に近い状態で受信機 1 0 0 の異常検出テストを実行することができる。

【0 0 6 0】

次に、第 2 のループバックテストについて説明する。第 2 のループバックテス

トにおいては、クロックスイッチ 1 1 6 は、受信クロック 1 4 3 と共通のクロック、すなわち内部クロック信号 C L K I を選択して、送信クロック 1 4 6 としてエンコーダ回路 1 1 4 およびデータ比較回路 1 0 5 へ供給する。この結果、受信機 1 0 0 および送信機 1 0 1 の両方に、変調がかかっていない、基準となる 4 8 0 M H z の内部クロック信号 C L K I が供給される。

【 0 0 6 1 】

これにより、送信機 1 0 1 は、変調されていない内部クロック信号 C L K I に同期して、送信信号 1 3 1 および送信差動信号 T D + , T D - を生成する。送信差動信号 T D + , T D - は、信号スイッチ 1 0 6 および 1 0 7 を介して、受信機 1 0 0 へ入力される。

【 0 0 6 2 】

受信機 1 0 0 では、上述の第 1 のループバックテスト時と同様に、差動レシーバ 1 0 9 で得られたシリアル信号 1 3 6 が受信信号 1 3 7 として伝達される。

【 0 0 6 3 】

ジッタ測定回路 1 0 8 は、内部クロック群 1 4 4 を構成する 1 0 個の互いに位相が異なるクロック信号の各エッジと、受信信号 1 3 7 のエッジとの差分の遷移の幅をジッタとして検出する。具体的には、このように得られた差分の遷移の幅が一定レベルを超えると、ジッタエラー検出信号 1 4 9 を所定レベルに設定する。

【 0 0 6 4 】

このようなジッタ測定回路 1 0 8 を備えることによって、受信機 1 0 0 および送信機 1 0 1 を共通クロックに同期して動作させたループバック動作によって、高速かつ高価なテスト装置を用いることなく、1 ビットのジッタエラー検出信号 1 4 9 の出力に基いて、送信機 1 0 1 の波形品質の異常、すなわちジッタ異常を検出することが可能となる。

【 0 0 6 5 】

また、受信信号 1 3 7 は、クロックデタリカバリ回路 1 1 1、エラスティックバッファ回路 1 1 2 およびデコーダ回路 1 1 3 によって、8 ビットパラレルの受信データ 1 4 1 へ変換される。したがって、第 2 のループバックテストにおい

ても、受信機 1 0 0 で得られた受信データ 1 4 1 と、送信機 1 0 1 に入力された送信データ 1 3 0 とをデータ比較回路 1 0 5 によって比較することにより、送信機 1 0 1 あるいは受信機 1 0 0 の異常を検出することも可能である。

【 0 0 6 6 】

なお、以上説明した第 1 および第 2 のループバックテストのいずれにおいても、信号スイッチ 1 1 0 を、エンコーダ回路 1 1 4 からのシリアルな送信信号 1 3 1 を受信信号 1 3 7 として受信機 1 0 0 の内部へ直接伝達する信号経路を形成するように設定することができる。

【 0 0 6 7 】

この場合には、差動ドライバ 1 1 5 および差動レシーバ 1 0 9 を迂回して、第 1 および第 2 のループバックテストを実行することが可能になる。これにより、差動ドライバ 1 1 5 および差動レシーバ 1 0 9 を迂回しないループバックテストで異常が検出され、かつ、差動ドライバ 1 1 5 および差動レシーバ 1 0 9 を迂回する経路によるループバックテストが異常が検出されない場合は、差動ドライバ 1 1 5 あるいは差動レシーバ 1 0 9 が異常であることが判断できる。すなわち、差動レシーバ 1 0 9 および差動ドライバ 1 1 5 に故障が存在するのか否かを簡易に判定することができるので、異常発生特定箇所の特定が容易になる。

【 0 0 6 8 】

次に、図 1 に示す通信装置 1 0 中の主要回路の構成について詳細に説明していく。

【 0 0 6 9 】

図 4 は、図 1 に示されたクロック変調回路 1 0 4 の構成例を示すブロック図である。

【 0 0 7 0 】

図 4 を参照して、クロック変調回路 1 0 4 は、1 0 ビットのアップ／ダウンカウンタであるリングカウンタ 3 0 0 と、セクタ回路 3 0 1 とを有する。

【 0 0 7 1 】

リングカウンタ 3 0 0 は、セクタ 3 0 2 およびフリップフロップ 3 0 3 を有する。セクタ 3 0 2 およびフリップフロップ 3 0 3 は、内部クロック群 1 4 4

を構成するクロック信号数、すなわち 10 個ずつ設けられている。

【0072】

図5は、内部クロック群144を説明する波形図である。

図5を参照して、既に説明したように、内部クロック群144は、位相が互いに異なり、かつ、同一周波数（480MHz）の10個のクロック信号144-0～144-9から構成される。クロック信号144-0～144-9について、互いに隣り合うクロック信号間の位相差は、 $1/10$ 周期で均等になっている。すなわち、クロック信号144-n（n：0～9の整数）は、クロック信号144-（n-1）よりも $1/10$ 周期分だけ位相の遅れたクロックになっている。また、クロック信号144-0は、クロック信号144-9よりも $1/10$ 周期分位相が遅れている。

【0073】

再び図4を参照して、クロック信号144-0に対応するセクタ302は、カウント値を示すSCLK[0：9]（SCLK（0）～SCLK（9）を総括的に表記したものであり、以下、複数ビットの信号については、同様の表記を行なうことがある）のうちの、SCLK（9）およびSCLK（1）を受けて、アップ／ダウン識別信号311に応じた一方を選択的に出力する。以下、各セクタ302へ入力されるSCLK[0：9]のビットは1つずつずれていき、たとえば、クロック信号144-1に対応するセクタ302へは、SCLK（0）およびSCLK（2）が入力され、クロック信号144-9に対応するセクタ302へは、SCLK（8）およびSCLK（0）が入力される。

【0074】

第n番目（「第n位相」とも以下称する）のクロック信号に対応するフリップフロップ303は、リングカウンタ300のカウントタイミングを規定する外部トリガであるカウントクロック310の遷移エッジに応答して、対応するセクタ302からの出力を取りこんで、SCLK（n）として出力する。なお、カウントクロック310は、一定周期および不定周期をいずれを有してもよい。

【0075】

この結果、SCLK[0：9]は、1ビットのみが他のビットとは異なるレベ

ル（たとえば“1”）に設定される10ビット-1ホットコードのクロック選択信号313として、セクタ回路301へ与えられる。

【0076】

SCLK [0 : 9] は、アップ／ダウン識別信号311が“0”のときには、カウントクロック310に応答してカウントダウンされ、SCLK (n) = “1”である状態から、SCLK (n-1) = “1”である状態へ変化する。ただし、SCLK (0) = “1”である状態からは、SCLK (9) = “1”である状態へ変化する。

【0077】

これに対して、アップ／ダウン識別信号311が“1”のときには、カウントクロック310に応答してSCLK [0 : 9] がカウントアップされ、SCLK (n) = “1”である状態から、SCLK (n+1) = “1”である状態へ変化する。ただし、SCLK (9) = “1”である状態からは、SCLK (0) = “1”である状態へ変化する。

【0078】

セクタ回路301は、内部クロック群144を構成する10個のクロック信号144-0～144-9のうちの1個を、クロック選択信号313に応じて選択して、変調クロック信号145として出力する。たとえば、クロック選択信号313において、SCLK (0) = “1”であるときには、クロック信号144-0～144-9のうち第0位相のクロック信号144-0が選択される。

【0079】

したがって、アップ／ダウン識別信号311が“0”の場合、カウントクロック310の立上がりエッジと同期して、セクタ回路301が選択するクロック信号は、第n位相のクロック信号144-nから、第(n-1)位相のクロック信号144-(n-1)へずれる。ただし、n=0の場合には、クロック信号144-0からクロック信号144-9へずれる。この結果、変調クロック信号145の位相はだんだん速くなり、その周波数は高くなる。また、カウントクロック310の立上がりエッジごとに変調クロック信号145のエッジがずれることにより、ジッタを強制的に発生させることができる。

【0080】

反対に、アップ／ダウン識別信号311が“1”の場合、カウントクロック310の立上がりエッジと同期して、セクタ回路301が選択するクロック信号は、第 n 位相のクロック信号 $144 - n$ から、第 $(n + 1)$ 位相のクロック信号 $144 - (n + 1)$ へずれる。ただし、 $n = 9$ の場合には、クロック信号 $144 - 9$ からクロック信号 $144 - 0$ へずれる。この結果、変調クロック信号145の位相はだんだん遅くなり、その周波数は低くなる。また、カウントクロック310の立上がりエッジごとに変調クロック信号145のエッジがずれることにより、強制的なジッタが発生する。

【0081】

このようにして、クロック変調回路104によって生成される変調クロック信号145を、基準となる内部クロック信号CLKIに対して、周波数誤差、位相変動およびジッタの少なくとも1つが強制的に印加されるように変調することが可能である。

【0082】

次に、第1のループバックテストで用いられるデータ比較回路の構成について説明する。

【0083】

図6は、データ比較回路の構成例を示すブロック図である。

図6を参照して、データ比較回路105は、エラスティックバッファ回路901と、比較回路902とを有する。エラスティックバッファ回路901は、送信機に入力される8ビット平行の送信データ130と、受信クロック143および送信クロック146とを受ける。既に説明したように、送信クロック146には、クロック変調回路104によって生成された変調クロック信号145が適用されており、受信クロック143は、基準となる内部クロック信号CLKIに相当する。

【0084】

エラスティックバッファ回路901は、図1に示されたエラスティックバッファ回路112と同様の機能を有し、受信クロック143（内部クロック信号CL

K I) および送信クロック 1 4 6 (変調クロック信号 1 4 5) のクロック間タイミング差を吸収するための緩衝回路として設けられる。すなわち、エラスティックバッファ回路 9 0 1 は、送信データ 1 3 0 を受けて、送信データ 1 3 0 と受信データ 1 4 1 とのタイミング差分だけ内部で滞留した後に、送信データ 1 3 0 を信号 9 0 3 として出力する。この結果、信号 9 0 3 は、受信機 1 0 0 から出力される受信データ 1 4 1 と同期する。

【 0 0 8 5 】

比較回路 9 0 2 は、エラスティックバッファ回路 9 0 1 からの信号 9 0 3 と、受信機 1 0 0 からの受信データ 1 4 1 との一致比較結果に応じて、データ不一致検出信号 1 5 0 を生成する。

【 0 0 8 6 】

このようにして、受信機 1 0 0 に対して、基準となる内部クロック信号 C L K I を受信クロック 1 4 3 として供給する一方で、送信機 1 0 1 に対しては、変調クロック信号 1 4 5 を供給したループバック動作 (第 1 のループバックテスト) において、送信機へ入力される送信データと、受信機から得られた受信データとを同期させて一致比較を実行することができる。

【 0 0 8 7 】

次に、第 2 のループバックテストで用いられるジッタ測定回路の構成について説明する。

【 0 0 8 8 】

図 7 は、図 1 に示されたジッタ測定回路 1 0 8 の構成例を示すブロック図である。

【 0 0 8 9 】

図 7 を参照して、ジッタ測定回路 1 0 8 は、クロックサンプラ 5 0 1 と、位相比較回路 5 0 4 とを有する。クロックサンプラ 5 0 1 は、シリアルな受信信号 1 3 7 に応答したタイミングで、内部クロック群 1 4 4 を構成する 1 0 個のクロック信号をサンプリングする。既に説明したように、ループバック動作時には、受信信号であるシリアル信号 1 3 7 は、自身の送信機 1 0 1 からの送信信号 1 3 1 に応じた信号である。

【0090】

クロックサンプラ501は、シリアル信号137の正エッジ（立上がりエッジ）でサンプリングした情報に基づいた正エッジ位置情報502と、負エッジ（立下がりエッジ）でサンプリングした情報に基づいた負エッジ位置情報503とを出力する。すなわち、正エッジ位置情報502は、シリアル信号137の正エッジが、内部クロック群144を構成する10個のクロック信号144-0～144-9のうちのどの位相間に存在しているかを示す。すなわち、正エッジ位置情報502は、シリアル信号137の正エッジの位相を示している。

【0091】

同様に、負エッジ位置情報503は、シリアル信号137の負エッジが、内部クロック群144を構成する10個のクロック信号144-0～144-9のうちのどの位相間に存在しているかを示す。すなわち、負エッジ位置情報503は、シリアル信号137の負エッジの位相を示している。

【0092】

位相比較回路504は、位相比較動作の開始を指示する開始信号505と、ジッタ許容値を示す信号506と、クロックサンプラ501からの正エッジ位置情報502および負エッジ位置情報503とを受ける。位相比較回路504は、正エッジ位置情報502および負エッジ位置情報503の差分を検出し、この差分が信号506によって示される規定値より大きい場合に、ジッタ許容値を超えたと検出して、ジッタエラー検出信号149をイネーブル状態に設定する。

【0093】

図8は、図7に示されたクロックサンプラ501の構成例を示す回路図である。

【0094】

図8を参照して、クロックサンプラ501は、フリップフロップ回路601～605を含む。フリップフロップ回路601～605の各々は、内部クロック群144を構成する10個のクロック信号144-0～144-9にそれぞれ対応して10個ずつ設けられているフリップフロップを総括的に表記したものである。

【0095】

フリップフロップ回路601は、シリアル信号137の正エッジに応答して、内部クロック群144を構成する10個のクロック信号144-0～144-9のそれぞれのレベルをサンプリングした10ビットの信号606として出力する。同様に、フリップフロップ回路604は、シリアル信号137の負エッジに応答して、クロック信号144-0～144-9のそれぞれのレベルをサンプリングした10ビットの信号608として出力する。フリップフロップ回路602は、シリアル信号137の負エッジに応答して、フリップフロップ回路601が出力した10ビットの信号606をサンプリングした10ビットの信号607として出力する。

【0096】

フリップフロップ回路603は、シリアル信号137の正エッジに応答して、フリップフロップ回路602が出力した10ビットの信号607をサンプリングした10ビットの信号を正エッジ位置情報502として出力する。フリップフロップ回路605は、シリアル信号137の正エッジに応答して、フリップフロップ回路604が出力した10ビットの信号608をサンプリングした10ビットの信号を負エッジ位置情報503として出力する。

【0097】

図9は、クロックサンブラ回路の動作例を説明する図である。

シリアル信号137の正エッジ701に응答して、内部クロック群144を構成するクロック信号144-0～144-9のそれぞれのレベルがサンプリングされて、信号606は、“10'b10__0000__1111”に設定される。すなわち、第0ビットと第1ビットとの間でサンプリングされたデータが“1”から“0”へ変化している。この1から0へ値が変化するビット位置が、正エッジ701の位相を示している。この場合、クロック信号144-0および144-1の正エッジ間に、シリアル信号137のエッジが存在していることが示される。

【0098】

ここでは、クロック信号144-0および144-1の正エッジ間の位相範囲

を、第 0 位相範囲と称し、信号 6 0 6 の値を「0」と解釈する。以下、同様にし、第 1 位相範囲から第 9 位相範囲まで存在し、信号 6 0 6 の値も「1」～「9」が存在する。この信号 6 0 6 をフリップフロップ回路 6 0 2 および 6 0 3 でサンプリングしなとして、シリアル信号 1 3 7 の正エッジ 7 0 3 に同期した信号へ変換したのが正エッジ位置情報 5 0 2 である。すなわち、正エッジ位置情報 5 0 2 の値は、内部クロック群 1 4 4 を構成するクロック信号数に対応して、「0」～「9」まで存在する。図 9 の例では、正エッジ位置情報 5 0 2 は、“1 0' b 1 0 _ 0 0 0 0 _ 1 1 1 1”であり、その値は「0」となる。

【0 0 9 9】

同様に、フリップフロップ回路 6 0 3 により、シリアル信号 1 3 7 の負エッジ 7 0 2 に同期して内部クロック群 1 4 4 をサンプリングすることによって、信号 6 0 8 が得られる。信号 6 0 8 は、“1 0' b 0 0 _ 0 1 1 1 _ 1 1 0 0”となる。この信号 6 0 8 では、第 7 ビットと第 8 ビットとの間で値が 1 から 0 へ変化しており、負エッジ 7 0 2 が、クロック信号 1 4 4 - 7 および 1 4 4 - 8 の間、すなわち第 7 位相範囲に存在していることを示す。すなわち、“1 0' b 0 0 _ 0 1 1 1 _ 1 1 0 0”のレベルである信号 6 0 8 の値は、「7」と解釈される。

【0 1 0 0】

信号 6 0 8 は、フリップフロップ回路 6 0 3 でサンプリングしなすことにより、負エッジ位置情報 5 0 3 に変換される。この結果、負エッジ位置情報 5 0 3 は、“1 0' b 0 0 _ 0 1 1 1 _ 1 1 0 0”、すなわちその値は、「7」となる。

【0 1 0 1】

次に、これらの正エッジ位置情報 5 0 2 および負エッジ位置情報 5 0 3 を受ける位相比較回路 5 0 4 の動作を説明する。

【0 1 0 2】

図 1 0 は、位相比較回路 5 0 4 の動作例を説明するフローチャートである。位相比較回路 5 0 4 は、シリアル信号 1 3 7 の正エッジごとに、図 1 0 のフローチャートに示す動作を実行する。

【0 1 0 3】

図 1 0 を参照して、位相比較動作が開始されると（ステップ 8 0 1）、位相比較回路 5 0 4 に印加された開始信号 5 0 5 の値を確認し、開始信号 5 0 5 の値が“1”であれば位相比較開始と判断する（ステップ 8 0 2）。位相比較開始と判断された場合には、位相比較の初期値として、現在の正エッジ位置情報 5 0 2 を、初期位相としてレジスタ等に格納する（ステップ 8 0 3）。この段階では、エラーを検出していないので、ジッタエラー検出信号 1 4 9 の値は“0”すなわち、エラーなしとなる（ステップ 8 0 4）。

【0 1 0 4】

一方、ステップ 8 0 2 において、開始信号 5 0 5 の値が“0”であり、既に位相比較が開始されている場合には、当該正エッジで得られた正エッジ位置情報 5 0 2 の値と、ステップ 8 0 3 でレジスタ等に格納された初期位相の値との差分の絶対値が位相差として算出される（ステップ 8 0 5）。この差分（位相差）が信号 5 0 6 によって示されるジッタ最大値（許容値）よりも大きい場合は、ジッタエラー検出信号が“1”に設定される（ステップ 8 0 6）。一方、初期位相の値と正エッジ位置情報 5 0 2 の値との差分の絶対値がジッタ最大値よりも小さい場合には、現在の負エッジ位置情報 5 0 3 の値と初期位相の値との差分の絶対値を位相差として計算し、この差分（位相差）とジッタ最大値との大小を判定する（ステップ 8 0 7）。

【0 1 0 5】

ステップ 8 0 7 において、初期位相の値と現在の負エッジ位置情報 5 0 3 の値との差分が許容値以下である場合には、ジッタエラーなしと判定して、ジッタエラー検出信号の値は“0”に設定される（ステップ 8 0 4）。このように、初期位相からの正エッジ位置情報 5 0 2 および負エッジ位置情報 5 0 3 の遷移量（位相差）が、両方ともジッタ最大値（許容値）より小さいときに、「ジッタエラーなし」と判定し、それ以外ときには「ジッタエラーあり」と判定して、位相比較動作が終了する（ステップ 8 0 8）。

【0 1 0 6】

これにより、受信機 1 0 0 および送信機 1 0 1 を共通クロックに同期して動作させたループバック動作（第 2 のループバックテスト）によって、高速かつ高価

なテスト装置を用いることなく、1ビットのジッタエラー検出信号149の出力に基いて、送信機101の波形品質の異常、すなわちジッタ異常を検出することが可能となる。

【0107】

以上説明したように、本発明の実施の形態1に従う通信装置によれば、第1および第2のループバックテストの少なくとも一方によって、高速かつ高価なテスト装置を用いて外部に多数の信号を引き出すことなく、実動作時に近い状態での受信機および送信機の異常検出テストおよび送信機の波形品質（ジッタ成分）を評価することができる。

【0108】

〔実施の形態2〕

図11は、実施の形態2に従う通信装置10#の全体構成を示すブロック図である。

【0109】

図11を参照して、本発明の実施の形態2に従う通信装置10#は、図1に示した実施の形態1に従う通信装置10と比較して、クロック供給選択回路102の構成が異なる。すなわち、実施の形態2に従う通信装置10#においては、基準となる内部クロック信号CLKI（480MHz）がそのまま送信クロック146#として送信機101に供給される一方で、クロックスイッチ116は、受信機100に対応して設けられる。

【0110】

クロックスイッチ116は、送信クロック146#として用いられる内部クロック信号CLKIおよびクロック変調回路104の出力する変調クロック信号145の一方を、選択的に受信クロック143#として受信機100へ供給する。通信装置10#のその他の部分の構成は、実施の形態1に従う通信装置10と同様なので詳細な説明は繰返さない。

【0111】

このような構成とすることにより、実施の形態2に従う構成においては、送信機101が生成する送信信号131および送信差動信号TD+、TD-には、周

波数誤差、位相変動、波形変動およびジッタは印加されない。受信機 1 0 0 は、この周波数誤差、位相変動、波形変動およびジッタのない送信差動信号 T D + , T D - あるいは送信信号 1 3 1 を受信信号 1 3 7 として受ける。

【 0 1 1 2 】

しかし、受信信号 1 3 7 を受信データ 1 4 1 に変換するための、エラスティックバッファ回路 1 1 2 およびデコーダ回路 1 1 3 が変調クロック信号 1 4 5 に同期して動作するため、実施の形態 1 と同様の第 1 のループバックテストによって、周波数誤差、位相変動、波形変動およびジッタの少なくとも 1 つが強制的に印加された状態で、すなわち、実動作時に近い状態での受信機および送信機の異常検出テストを高速かつ高価なテスト装置を用いることなく、ループバック動作によって実行することができる。

【 0 1 1 3 】

また、クロックスイッチ 1 1 6 の設定を変更すれば、実施の形態 1 と同様の第 2 のループバックテストも同様に実行できる。すなわち、ジッタ測定回路を備えることにより、高速かつ高価なテスト装置を用いて外部に多数の信号を引き出すことなく、送信機の波形品質の異常、すなわちジッタ異常を検出することが可能である。

【 0 1 1 4 】

〔実施の形態 3〕

実施の形態 3 においては、実施の形態 1 あるいは 2 で説明した半二重の通信装置 1 0 あるいは 1 0 # を用いて、全二重の形態で動作させた高速な故障検出テストを実行するためのテストモードについて説明する。

【 0 1 1 5 】

実施の形態 3 に従うテストモードにおいては、図 1 および図 1 1 にそれぞれ示した通信装置 1 0 および 1 0 # において、信号スイッチ 1 0 6 および 1 0 7 は、テスト通信ノード 1 4 7 および 1 4 8 と、受信ノード 1 3 4 および 1 3 5 との間に信号経路を形成する。すなわち、各通信装置 1 0 , 1 0 # の内部では、自身の通信ノード 1 3 2 , 1 3 3 と、受信ノード 1 3 4 , 1 3 5 との間の信号経路は遮断される。

【0116】

図12は、実施の形態3に従うテストモードにおける通信装置間の信号経路を説明する図である。

【0117】

図12を参照して、実施の形態3に従うテストモードでは、2個の通信装置10Aおよび10Bの間で信号が授受される。通信装置10Aは、送信データ201を送信機101で送信データ130-Aとして受けて送信差動信号に変換し、通信ノード132-A, 133-Aから出力する。同様に、通信装置10Bは、送信データ205を送信機101で送信データ130-Bとして受けて送信差動信号に変換し、通信ノード132-B, 133-Bから出力する。

【0118】

さらに、通信装置10Aの通信ノード132-A, 133-Aと、通信装置10Bのテスト通信ノード147-B, 148-Bとの間で信号経路が形成され、同様に、通信装置10Bの通信ノード132-B, 133-Bと、通信装置10Aのテスト通信ノード147-A, 148-Aとの間で信号経路が形成される。

【0119】

したがって、通信装置10Aおよび10Bの各々において、信号スイッチ106および107を介して、テスト通信ノード147, 148へ入力された他の通信装置からの送信信号が受信信号として受け入れられる。

【0120】

このような信号経路を形成して故障検出テストを実行することにより、通信装置10Aの受信機100は、通信装置10Bの送信機101によって生成された送信信号を受信して受信データ208(141-A)を生成する。同様に、通信装置10Bの受信機100は、通信装置10Aの送信機101によって生成された送信信号を受信して受信データ204(141-B)を生成する。

【0121】

したがって、通信装置10Aへ入力される送信データ201と通信装置10Bから出力される受信データ204との比較、ならびに通信装置10Bへ入力される送信データ205および通信装置10Aから出力される受信データ208との

比較とを実行することにより、通信装置 1 0 A および 1 0 B の異常を同時に検出することができる。すなわち、通信装置の異常の検証を、2 倍の速度でテストできる。また、通信装置 1 0 A および 1 0 B の一方に、予め異常がないことが判明している通信装置を適用すれば、他方の通信装置の異常を高速に検出することができる。

【 0 1 2 2 】

なお、実施の形態 2 に従う通信装置 1 0 # A および 1 0 # B との組合せによって、実施の形態 3 に従うテストモードを実行することも可能である。あるいは、実施の形態 1 に従う通信装置 1 0 と、実施の形態 2 に従う通信装置 1 0 # との組合せによって、実施の形態 3 に従うテストモードを実行することも可能である。

【 0 1 2 3 】

なお、実施の形態 3 に従うテストモードにおいては、各通信装置 1 0, 1 0 # 内での受信クロックおよび送信クロックの供給は、故障検出テストの主旨に応じて、第 1 および第 2 のループバック動作時のいずれと同様としても構わない。

【 0 1 2 4 】

このように、本発明の実施の形態 3 に従うテストモードでは、通信ノードおよびテスト通信ノードの一方と受信ノードとの間に選択的に信号経路を形成可能な信号スイッチを配置した半二重の通信装置を用いて、2 個の当該通信装置を相互接続することによって、全二重の状態で高速な故障検出テストを実行することができる。

【 0 1 2 5 】

これに対して、実施の形態 1, 2 で説明したように、各通信装置において、信号スイッチ 1 0 6, 1 0 7 によって、通信ノード 1 3 2 および 1 3 3 と受信ノード 1 3 4 および 1 3 5 との間に信号経路を形成すれば、第 1 または第 2 のループバックテストを B I S T (Built In Self Test) 的に実行することができる。

【 0 1 2 6 】

以上、本発明の実施の形態 1 から 3 では、U S B 2. 0 に従う通信装置の構成例を説明したが、本願発明の適用は、このような場合に限定されるものではない。すなわち、「I E E E (Institute of Electrical and Electronic Engineers

） 1 3 9 4」、 「 P C I E x p r e s s」、 「 S e r i a l A T A」、 「 L V D S」、 「 R a p i d I O」等の他の任意のシリアルインタフェース規格および「 A T A」などのパラレルインタフェース規格のいずれに従う通信装置にも本願発明は適用可能である。

【 0 1 2 7】

また、通信装置の動作周波数および送信・受信データビット数についても、本実施の形態における 4 8 0 M H z および 8 ビット幅に限定されることなく、任意の条件に対応して本願発明を同様に適用することができる。

【 0 1 2 8】

さらに、本発明の実施の形態 1 から 3 では、差動レシーバ、クロックデータリカバリ回路、エラスティックバッファ回路およびデコーダ回路から構成される受信機を備えた通信装置について説明したが、オーバサンプリング方式の受信機を始めとする他の方式の受信機を備える通信装置に対しても、本願発明を同様に適用することができる。

【 0 1 2 9】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【 0 1 3 0】

【発明の効果】

以上説明したように、本発明の通信装置においては、受信機および送信機の一方を内部クロックに同期して動作させるのに対して、受信機および送信機他方を、内部クロックに対して周波数誤差、位相変動、波形変動およびジッタの少なくとも 1 つを強制的に印加した変調クロック信号に同期して動作させることができる。したがって、実動作時に近い状態での受信機および送信機の異常検出テストを、高速かつ高価なテスト装置を用いることなく、ループバック動作によって実行することができる。

【 0 1 3 1】

また、ジッタ測定回路を備えることにより、受信機および送信機を共通クロックに同期して動作させたループバック動作によって、高速かつ高価なテスト装置を用いて外部に多数の信号を引き出すことなく、送信機の波形品質の異常、すなわちジッタ異常を検出することが可能となる。

【0132】

さらに、半二重の通信装置に、通信ノードおよびテスト通信ノードの一方と受信ノードとの間に選択的に信号経路を形成可能な信号スイッチを配置することにより、このような通信装置を2個相互接続することによって、全二重通信の形態で高速な故障検出テストを実行することができる。

【図面の簡単な説明】

【図1】 本発明の実施の形態1に従う通信装置の全体構成例を示すブロック図である。

【図2】 図1に示されたエンコーダ回路の構成例を示すブロック図である。

【図3】 図1に示されたデコーダ回路の構成例を示すブロック図である。

【図4】 図1に示されたクロック変調回路の構成例を示すブロック図である。

【図5】 内部クロック群を説明する波形図である。

【図6】 図1に示されたデータ比較回路の構成例を示すブロック図である。

【図7】 図1に示されたジッタ測定回路の構成例を示すブロック図である。

【図8】 図7に示されたクロックサンプラの構成例を示す回路図である。

【図9】 図8に示されたクロックサンプラ回路の動作例を説明する図である。

【図10】 図7に示された位相比較回路の動作例を説明するフローチャートである。

【図11】 本発明の実施の形態2に従う通信装置の全体構成例を示すブロック図である。

【図12】 実施の形態3に従うテストモードにおける通信装置間の信号経路を説明する図である。

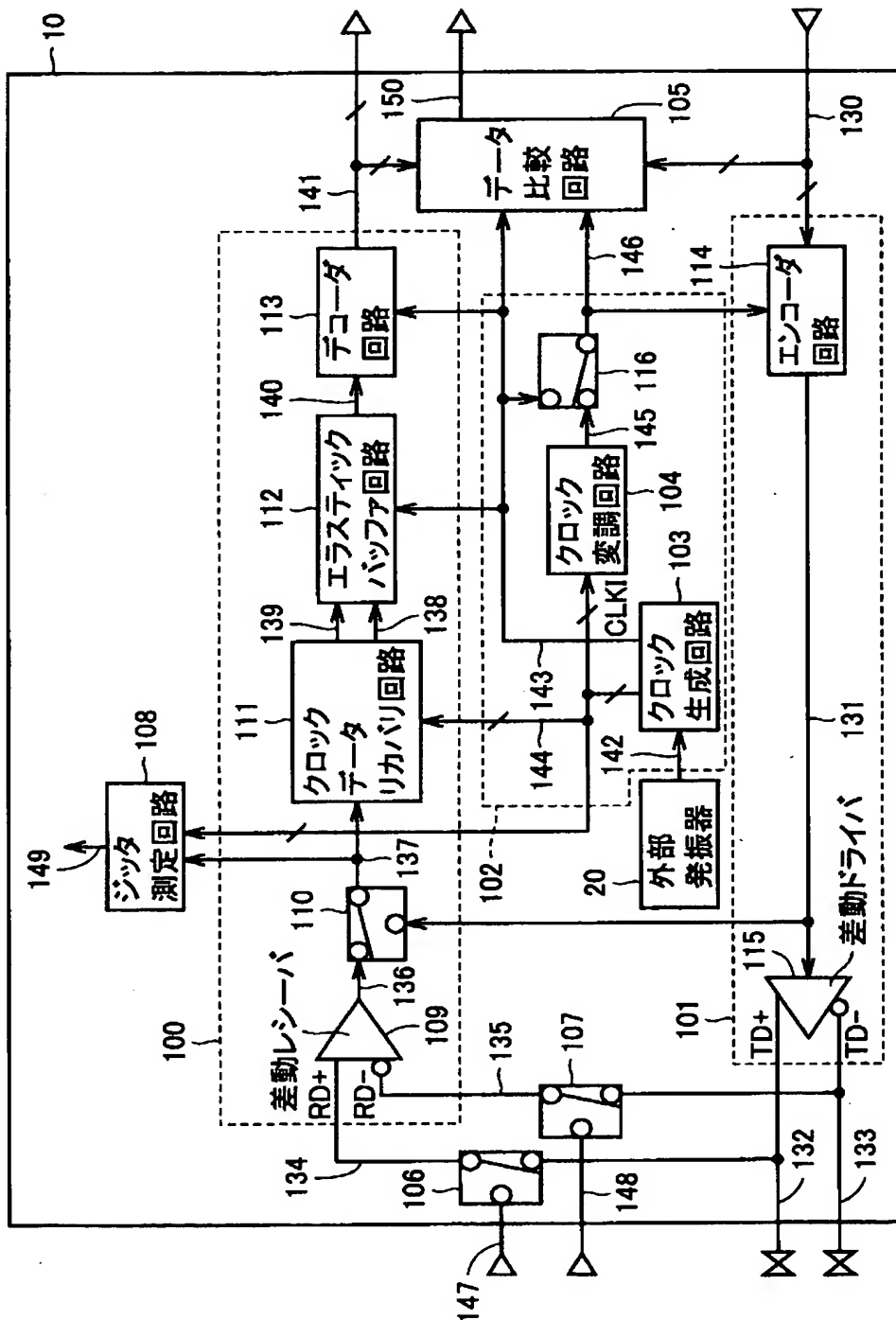
【符号の説明】

10, 10A, 10B, 10#, 10#A, 10#B 通信装置、100 受信機、101 送信機、102 クロック供給選択回路、103 クロック生成回路、104 クロック変調回路、105 データ比較回路、106, 107, 110 信号スイッチ、108 ジッタ測定回路、109 差動レシーバ、111 クロックデータリカバリ回路、112, 901 エラスティックバッファ回路、113 デコーダ回路、114 エンコーダ回路、115 差動ドライバ、116 クロックスイッチ、130, 201, 205 送信データ、131 送信信号、132, 133 通信ノード、134, 135 受信ノード、137 受信信号（シリアル信号）、141, 204, 208 受信データ、142 外部クロック、143 受信クロック、144 内部クロック群、144-0~144-9 クロック信号、145 変調クロック信号、146 送信クロック、147, 148 テスト通信ノード、149 ジッタエラー検出信号、150 データ不一致検出信号、300 リングカウンタ、301 セレクタ回路、501 クロックサンプラ、502 正エッジ位置情報、503 負エッジ位置情報、504 位相比較回路、902 比較回路、CLKI 内部クロック、RD+, RD- 受信差動信号、TD+, TD- 送信差動信号。

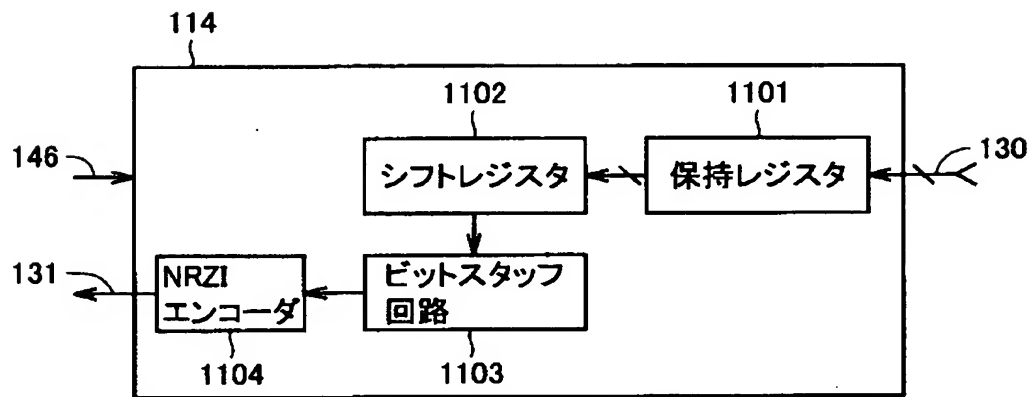
【書類名】

図面

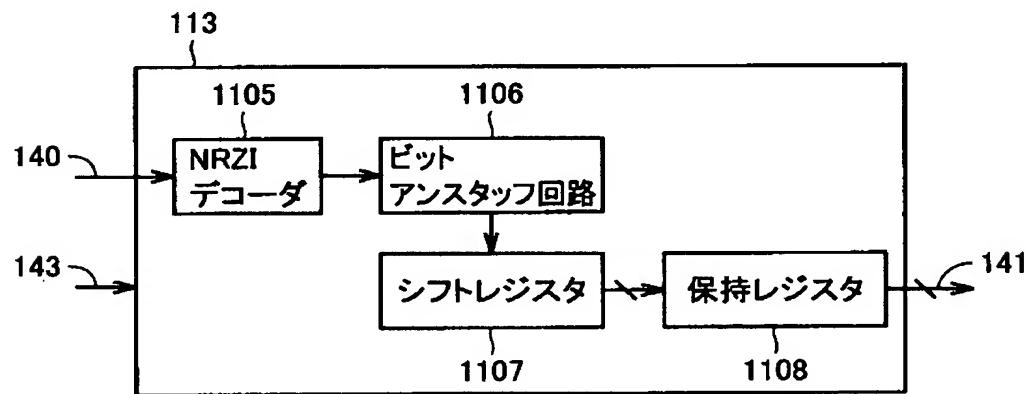
【図 1】



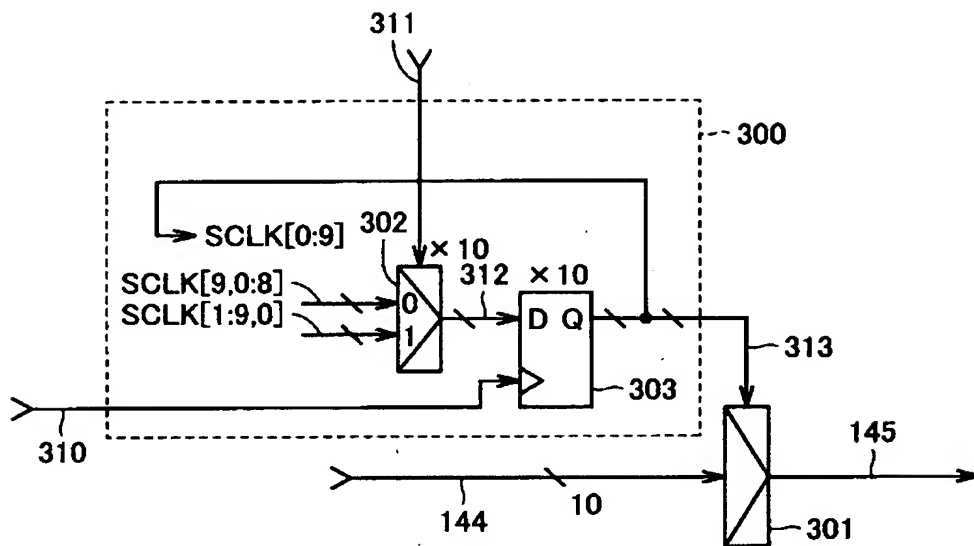
【図 2】



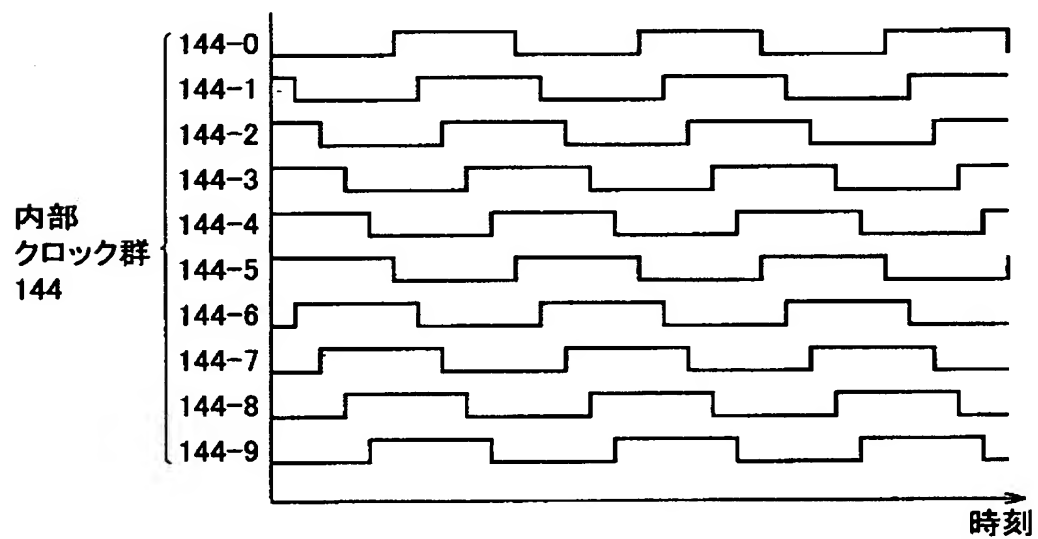
【図 3】



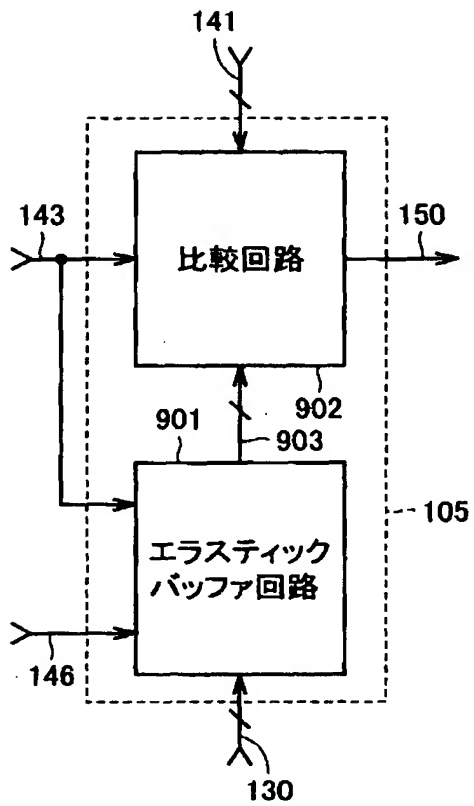
【図 4】



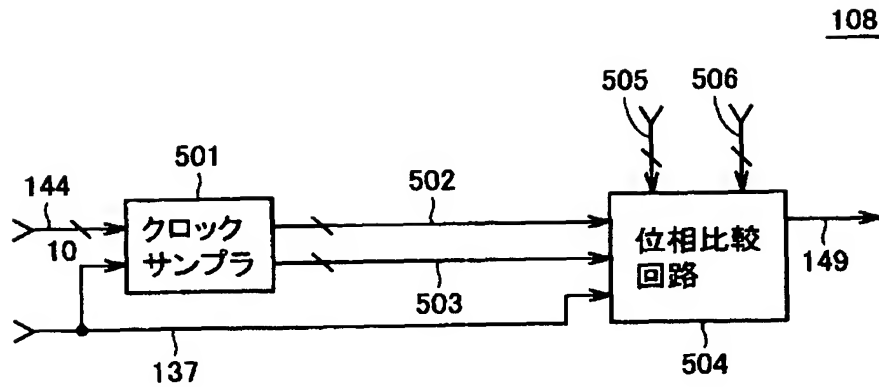
【図 5】



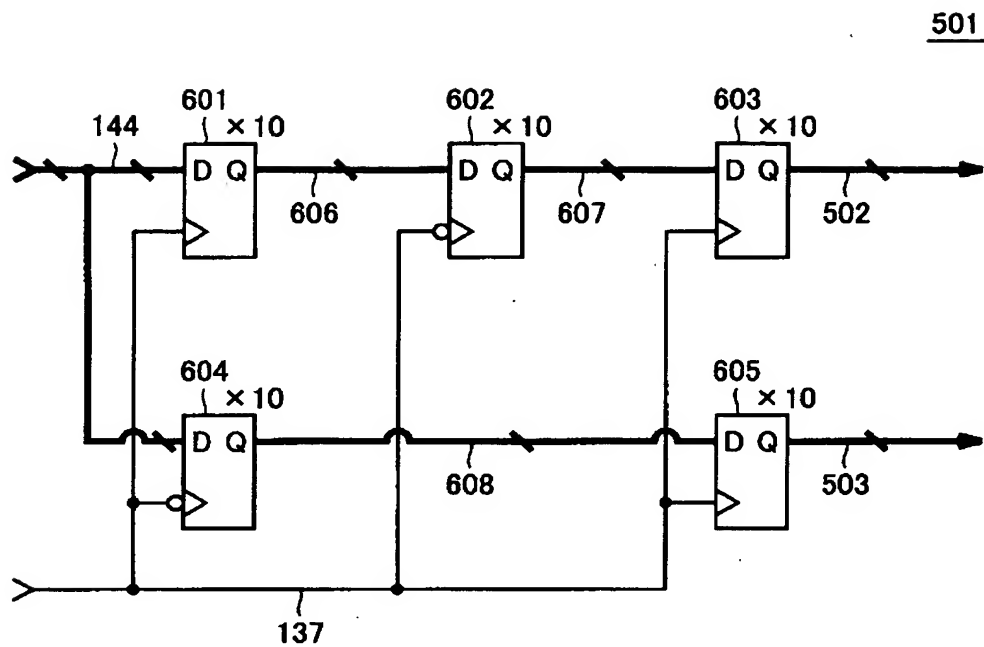
【図 6】



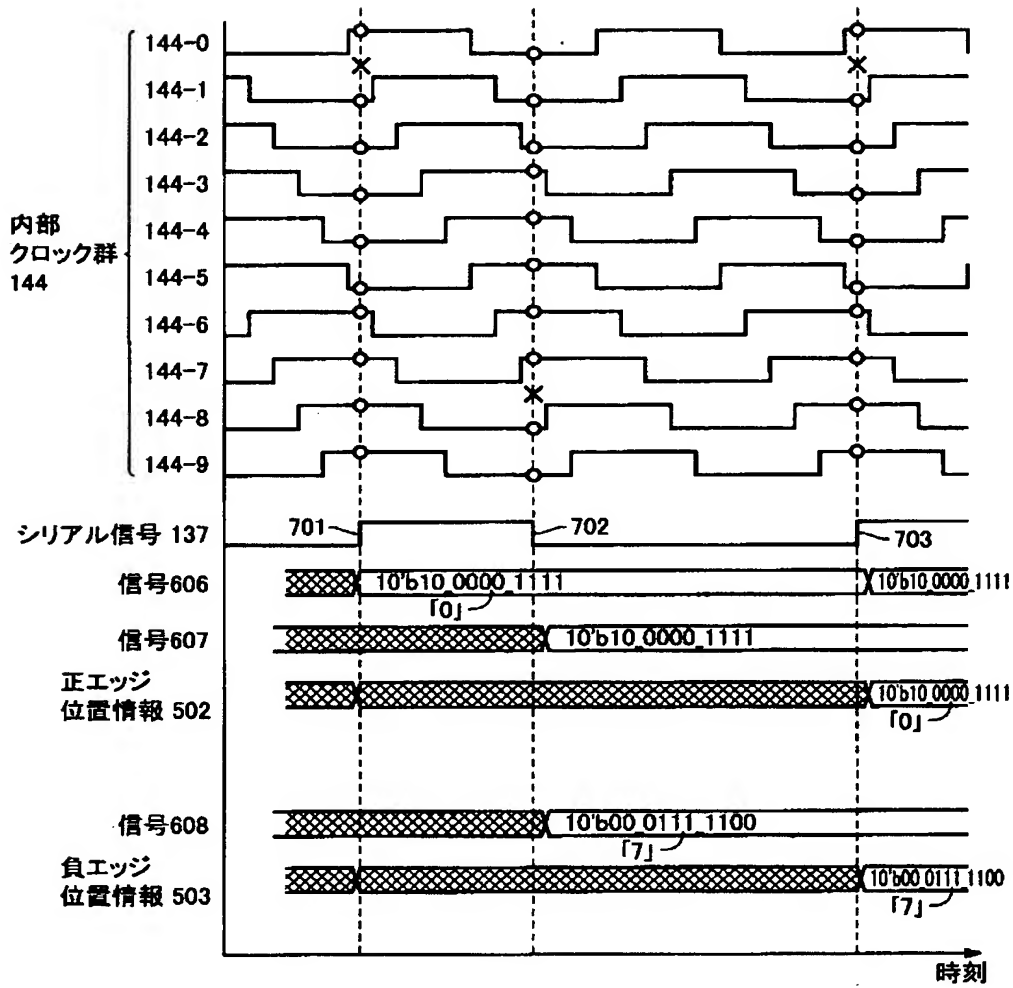
【図 7】



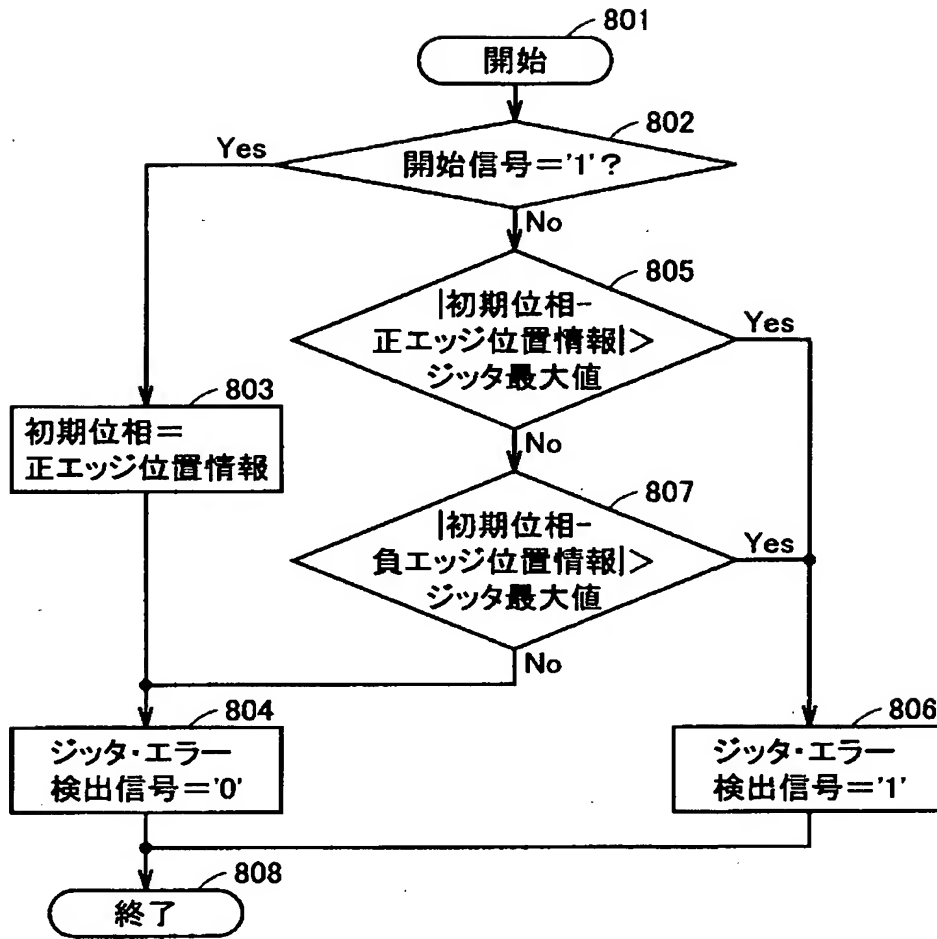
【図 8】



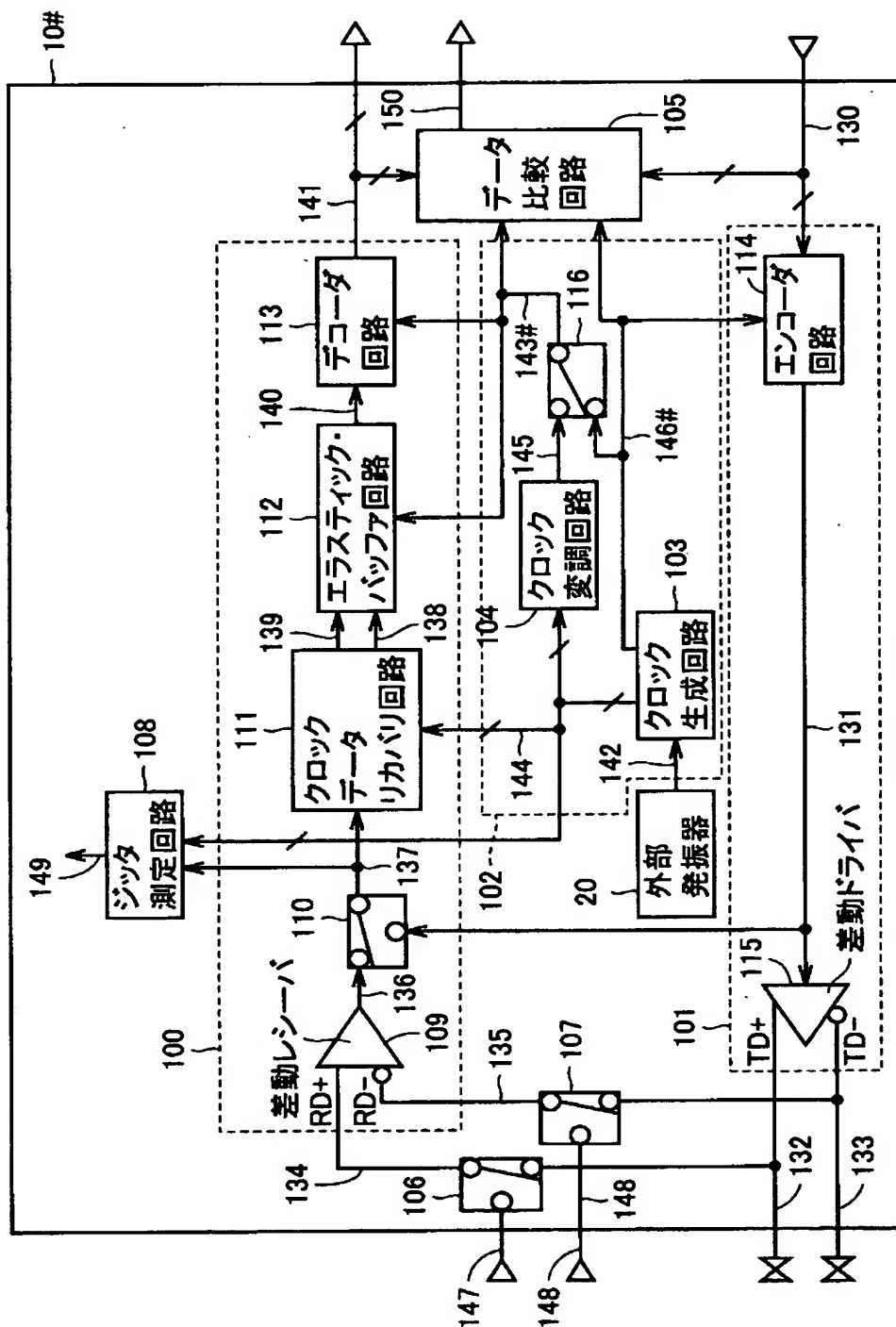
【図 9】



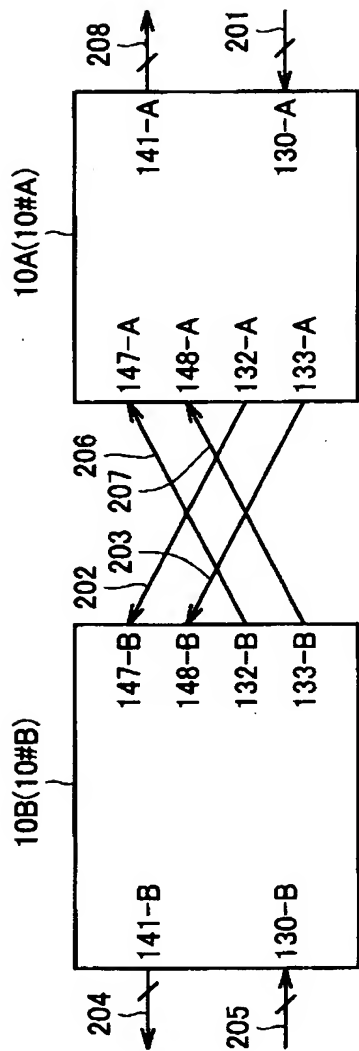
【図 1 0】



【図 1 1】



【図 1 2】



【書類名】 要約書

【要約】

【課題】 テストコストの低いループバック動作によって、実動作に近い通信状態での受信機および送信機の異常検出テストが可能な通信装置を提供する。

【解決手段】 クロック供給選択回路 1 0 2 は、受信機 1 0 0 および送信機 1 0 1 への受信クロック 1 4 3 および送信クロック 1 4 6 の供給を制御する。クロック供給選択部 1 0 2 は、基準となる内部クロックを生成するクロック生成回路 1 0 3 と、内部クロックに対して周波数変動、位相変動、波形変動およびジッタの少なくとも 1 つが印加されるように変調された変調クロック信号 1 4 5 とを含む。通常動作時は内部クロックが受信クロック 1 4 3 および送信クロック 1 4 6 として供給され、ループバック動作時には内部クロックが受信クロック 1 4 3 として供給される一方で、変調クロック信号 1 4 5 が送信クロック 1 4 6 として供給される。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日	1990年 8月24日
[変更理由]	新規登録
住 所	東京都千代田区丸の内2丁目2番3号
氏 名	三菱電機株式会社